

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004 年 10 月 21 日 (21.10.2004)

PCT

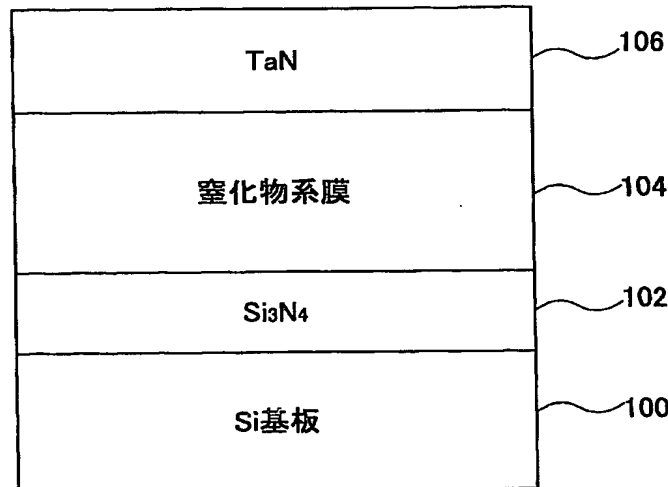
(10) 国際公開番号
WO 2004/090991 A1

- (51) 国際特許分類⁷: H01L 29/78, 21/336, 21/318 (72) 発明者; および
(21) 国際出願番号: PCT/JP2004/004700 (75) 発明者/出願人 (米国についてのみ): 寺本 章伸 (TER-AMOTO, Akinobu) [JP/JP]; 〒9800037 宮城県仙台市宮城野区平成 1 丁目 1-22-K6 Miyagi (JP). 若松 秀利 (WAKAMATSU, Hidetoshi) [JP/JP]; 〒9813105 宮城県仙台市泉区天神沢 1 丁目 6-18-401 Miyagi (JP). 小林 保男 (KOBAYASHI, Yasuo) [JP/JP]; 〒4070192 山梨県韮崎市穂坂町三ツ沢 650 東京エレクトロン株式会社内 Yamanashi (JP).
(22) 国際出願日: 2004 年 3 月 31 日 (31.03.2004)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ: 特願 2003-100170 2003 年 4 月 3 日 (03.04.2003) JP
(71) 出願人 (米国を除く全ての指定国について): 東京エレクトロン株式会社 (TOKYO ELECTRON LIMITED) [JP/JP]; 〒1078481 東京都港区赤坂五丁目 3 番 6 号 Tokyo (JP).
(71) 出願人 および
(72) 発明者: 大見 忠弘 (OHMI, Tadahiro) [JP/JP]; 〒9800813 宮城県仙台市青葉区米ヶ袋 2 丁目 1-17-301 Miyagi (JP).
(74) 代理人: 伊東 忠彦 (ITO, Tadahiko); 〒1506032 東京都渋谷区恵比寿 4 丁目 20 番 3 号 恵比寿ガーデンプレイスタワー 3 2 階 Tokyo (JP).
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND PROCESS FOR FABRICATING THE SAME

(54) 発明の名称: 半導体装置及びその製造方法



104...NITRIDE BASED FILM

100...Si SUBSTRATE

(57) Abstract: A semiconductor device exhibiting good characteristics by sustaining the dielectric constant of a High-K insulating film in a high state, and a process for fabricating a semiconductor device in which the dielectric constant of the High-K insulating film can be sustained in a high state. The semiconductor device comprises a silicon substrate, a gate electrode layer, and a gate insulating film interposed between the silicon substrate and the gate electrode layer. The gate insulating film is a high dielectric constant (high-k) film produced by nitriding a mixture of a metal and silicon. Since the High-K film itself is a nitride, generation of SiO₂ can be prevented.

[続葉有]



LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: High-K絶縁膜の比誘電率を高い状態で維持することによって特性の良好な半導体装置を提供し、或いはHigh-K絶縁膜の比誘電率を高い状態で維持可能な半導体装置の製造方法を提供するため、シリコン基板と: ゲート電極層と; 前記シリコン基板と前記ゲート電極層との間に配置されたゲート絶縁膜とを備える。そして、前記ゲート絶縁膜を、メタルとシリコンの混合物を窒化処理してなる高比誘電率 (high-k) 膜とする。High-K膜自体を窒化物にすることにより、SiO₂の発生を防止することが可能となる。

明細書

半導体装置及びその製造方法

5 技術分野

本発明は、ゲート絶縁膜として高比誘電率（h i g h - k）膜を用いた半導体装置の改良に関する。

背景技術

- 10 従来、シリコン基板上に形成される電極材料としてはポリシリコン（P o l y - S i）が主流であった。また、シリコン基板とポリシリコン電極材料との間に配置されるゲート絶縁膜としては、酸化シリコン（S i O₂）、酸窒化シリコン（S i O N）、窒化シリコン（S i₃N₄）が用いられていた。ところで、ゲート絶縁膜の容量（ $\propto \epsilon / d$ 、尚 ϵ は誘電率を示し、 d は膜厚を示す）を大きくするため
- 15 に、従来は、ゲート絶縁膜（S i O₂（ $\epsilon = 3.9$ ））の膜厚を薄くして対応していた。

特開2000-294550号公報には、プラズマを用いて前記ウエハW表面に直接に酸化、窒化、又は酸窒化を施して酸化膜相当換算膜厚で1nm以下の絶縁膜を形成する方法が開示されている。

- 20 一方、ゲート絶縁膜の膜厚を薄くするにも限界があるため、現在では比誘電率の大きな材料（H i g h - K、尚Kは ϵ と同義語）を用い、物理的な膜厚をある程度厚くできる方法が提案されている。

発明の開示

- 25 しかしながら、従来のH i g h - K膜は酸化物で成形されているため、酸化物を形成するときに酸化種が必ず存在する。また、酸化物の結晶性を安定化させるために、酸化種あるいは不活性ガス種の雰囲気中で高温熱処理工程が必要である。その結果、S i O₂（あるいはS iとOとH i g h - Kを構成するメタルの混合物）がS i表面あるいは、酸化物系H i g h - K膜表面にできてしまい、誘電率

が低い膜が直列に形成されてしまい、容量の増加という本来の目的を達成できないこととなる。

そこで、シリコン窒化膜 ($\epsilon = 7$ 程度) を Si と High-K材料の間に挟むことにより、 SiO_2 膜を形成し難くする方法も提案されているが、やはり、High-K膜形成中にシリコン窒化膜が酸化され、誘電率の高い膜のみを形成するのが困難であった。

本発明は、上記のような状況に鑑みてなされたものであり、High-K絶縁膜の比誘電率を高い状態で維持することにより、特性の良好な半導体装置を提供することを目的とする。また、High-K絶縁膜の比誘電率を高い状態で維持可能な半導体装置の製造方法を提供することを他の目的とする。

上記目的を達成するために、本発明の第1の態様に係る半導体装置は、シリコン基板；ゲート電極層；及び前記シリコン基板と前記ゲート電極層との間に配置されたゲート絶縁膜とを備える。そして、前記ゲート絶縁膜を、メタルとシリコンの混合物を窒化処理してなる高比誘電率 (high-k) 膜とする。すなわち、High-K膜自体を窒化物にすることにより、 SiO_2 の発生を防止することが可能となる。

前記ゲート絶縁膜はプラズマCVD技術によって成膜することが好ましい。また、前記シリコン基板と前記ゲート絶縁膜との間に、バリア層としてシリコン窒化膜を配置した場合には、High-K材料形成中に膜厚増加が起き難くなり、容量低下を抑制できる。これは、シリコン窒化膜が酸化膜に比べ膜厚が増加し難いという事実に基づく。なお、前記シリコン窒化膜はプラズマによる直接窒化技術によって形成することができる。

また、前記ゲート絶縁膜の上にシリコン窒化膜を配置することにより、ゲート電極との反応を抑制できる。

また、前記シリコン基板上において、シリコン窒化膜と前記ゲート絶縁膜とを交互に積層形成した多層構造とすれば、より安定した絶縁膜が得られる。

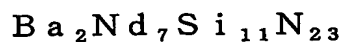
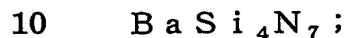
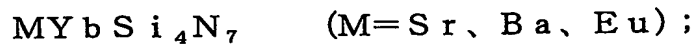
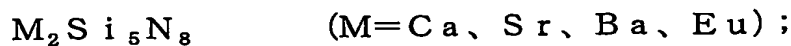
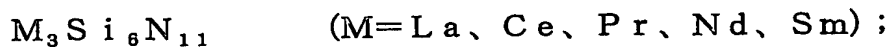
また、前記シリコン基板と前記ゲート絶縁膜との間に、バッファ層を形成することにより、界面特性が向上し、良好なFET特性が得られる。

前記シリコン基板と前記ゲート絶縁膜との間に、アルミナ (Al_2O_3) 単結晶

膜を形成することにより、バッファ層の誘電率を9程度まで上げられるので、さらに容量を増加できる。なお、前記アルミナ単結晶膜は、プラズマCVD技術による形成することができる。

上述したゲート絶縁膜としては、以下に示すものから選択される組成のものを

5 採用することができる：



図面の簡単な説明

図1は本発明に係るプラズマ処理装置の構成の一例を示す概略図（断面図）で
15 ある。

図2は本発明に係る半導体装置の構造を示す断面図である。

図3は、本発明の第1実施例に係る半導体装置の要部の構造を示す概略図である。

図4は、本発明の第2実施例に係る半導体装置の要部の構造を示す概略図であ
20 る。

図5は、本発明の第3実施例に係る半導体装置の要部の構造を示す概略図である。

図6は、本発明の第4実施例に係る半導体装置の要部の構造を示す概略図である。

図7は、本発明の第5実施例に係る半導体装置の要部の構造を示す概略図であ
25 る。

図8は、本発明の第6実施例に係る半導体装置の要部の構造を示す概略図である。

発明を実施するための裁量の形態

図1は、本発明に用いられるプラズマ処理装置10の概略構成の例を示す。プラズマ処理装置10は、被処理基板としてのシリコンウエハWを保持する基板保持台12が備えられた処理容器11を有する。処理容器11内の気体（ガス）は排気ポート11Aおよび11Bから図示されない排気ポンプを介して排気される。なお、基板保持台12は、シリコンウエハWを加熱するヒータ機能を有している。基板保持台12の周囲には、アルミニウムからなるガスバップル板（仕切り板）26が配置されている。ガスバップル板26の上面には石英あるいはSiCカバー28が設けられている。

- 10 処理容器11の装置上方には、基板保持台12上のシリコンウエハWに対応して開口部が設けられている。この開口部は、石英や Al_2O_3 、 AlN 、 Si_3N_4 からなる誘電体板13により塞がれている。誘電体板13の上部（処理容器11の外側）には、平面アンテナ14が配置されている。この平面アンテナ14には、導波管から供給された電磁波が透過するための複数のスロットが形成されている。
- 15 平面アンテナ14の更に上部（外側）には、波長短縮板15と導波管18が配置されている。波長短縮板15の上部を覆うように、冷却プレート16が処理容器11の外側に配置されている。冷却プレート16の内部には、冷媒が流れる冷媒路16aが設けられている。

- 処理容器11の内部側壁には、プラズマ処理の際にガスを導入するためのガス供給口22が設けられている。このガス供給口22は、導入されるガス毎に設けられていても良い。この場合、図示されないマスフローコントローラが流量調整手段として供給口ごとに設けられている。一方、導入されるガスが予め混合されて送られ、供給口22は一つのノズルとなっても良い。この場合も図示されないが、導入されるガスの流量調整は、混合段階に流量調整弁などで為される。
- 25 また、処理容器11の内壁の内側には、容器全体を囲むように冷媒流路24が形成されている。

本発明に用いられるプラズマ基板処理装置10には、プラズマを励起するための数ギガヘルツの電磁波を発生する図示されない電磁波発生器が備えられている。この電磁波発生器で発生したマイクロ波が、導波管15を伝播し処理容器11に

導入される。

図2は、本発明に係る半導体装置(MISFET)の構造を示す断面図である。本発明は、ゲート絶縁膜50の組成、構造に関するものであり、各実施例については後に詳述する。図2において、100がシリコン基板；50がゲート絶縁膜；52がゲート電極；54がソース／ドレイン層(拡散層)；56がサイドウォールを示す。

以下、図3～図8を参照して、本発明の第1～第5実施例に係るゲート絶縁膜構造について説明する。なお、各図は概ね図2の破線部分に対応する。

図3は、本発明の第1実施例に係る半導体装置の要部の構造を示す概略図である。本実施例の半導体装置においては、シリコン基板100上に窒化物系のHigh-K膜104をゲート絶縁膜(50)として形成する。シリコン基板100とHigh-K膜104との間には、シリコン窒化膜(Si_3N_4 層)102が形成される。また、High-K膜104の上には、ゲート電極(52)としてのTa₂N層106がスパッタリングによって形成される。High-K膜104は、上述したプラズマ処理装置10を用い、プラズマCVD技術によって成膜される。シリコン窒化膜102は、同様のプラズマ処理装置10を用い、直接ラジカル窒化処理によって成膜されるものであり、シリコン基板100表面の界面準位を下げる役割を果たす。

High-K膜104としては、例えば、以下の組成のものを採用することができる：

$\text{M}_3\text{Si}_6\text{N}_{11}$ ($\text{M}=\text{La}, \text{Ce}, \text{Pr}, \text{Nd}, \text{Sm}$) ;
 $\text{M}_2\text{Si}_5\text{N}_8$ ($\text{M}=\text{Ca}, \text{Sr}, \text{Ba}, \text{Eu}$) ;
 MYbSi_4N_7 ($\text{M}=\text{Sr}, \text{Ba}, \text{Eu}$) ;
 BaSi_4N_7
 $\text{Ba}_2\text{Nd}_7\text{Si}_{11}\text{N}_{23}$

図1に示すプラズマ処理装置10を用いて、第1実施例に係る構造を形成する際には、まず、処理対象となるシリコン基板100を処理容室11内に導入し、

基板保持台 12 上にセットする。その後、排気ポート 11A, 11B を介して処理容器 11 内部の空気の排気が行われ、処理容器 11 の内部が所定の処理圧に設定される。次に、ガス供給口 22 から、窒素ガス及び不活性ガスを処理容器 11 内に導入する。

- 5 一方、電磁波発生器で発生された数 GHz の周波数のマイクロ波は、導波管 15 を通って処理容器 11 に供給される。平面アンテナ 14、誘電体板 13 を介して、このマイクロ波が処理容器 11 中に導入される。このマイクロ波によりプラズマが励起され、窒素ラジカルが生成される。この様に生成されたプラズマ処理時のウェハ温度は 500℃ 以下である。処理容器 11 内でのマイクロ波励起によって生成された高密度プラズマは、シリコン基板 100 の表面に窒化膜 Si_3N_4 を形成させる。

Si_3N_4 膜 102 が形成されたシリコン基板 100 は、処理容器 11 から取り出される。その後、High-K 膜 104 を形成する際には、再び基板を処理容器 11 内にセットし、周知の CVD 技術によって窒化物系膜 104 を形成する。

- 15 図 4 は、本発明の第 2 実施例に係る半導体装置の要部の構造を示す概略図である。図 4 において、図 3 と同一又は対応する構成要素については、同一の参照符号を付し、重複した説明は省略する。本実施例の構造においては、上述した第 1 実施例と同様に、High-K 膜 104 とシリコン基板 100 との間に Si_3N_4 層 102a を形成するとともに、High-K 膜 104 と TaN 層 106 との間にも Si_3N_4 層 102b を形成する。これにより、ゲート電極 (TaN 層 106) との反応性が抑制され安定な膜が形成できる。

- 図 5 は、本発明の第 3 実施例に係る半導体装置の要部の構造を示す概略図である。図 5 において、図 3 及び図 4 と同一又は対応する構成要素については、同一の参照符号を付し、重複した説明は省略する。本実施例の構造においては、上述したシリコン基板 100 とゲート電極層 (TaN 層) との間に High-K 膜 104 を形成するが、シリコン基板 100 と High-K 膜 104 との間や High-K 膜と TaN 層 106 との間には、 Si_3N_4 層等の他の層を形成しない。

図 6 は、本発明の第 4 実施例に係る半導体装置の要部の構造を示す概略図である。図 6 において、図 3 ～図 5 と同一又は対応する構成要素については、同一の

参照符号を付し、重複した説明は省略する。本実施例の構造においては、上述したシリコン基板100とHigh-K膜104との間にバッファ層110を形成している。なお、High-K膜とTa₂N₅層106との間には、Si₃N₄層等の他の層を形成されない。

- 5 バッファ層110は、High-K膜104の形成と同じプロセスの中で、処理容器11内に供給されるガス組成を変えることによって形成される。バッファ層110は、Si₃N₄層よりも誘電率が高く、且つ、界面準位を低くできるというメリットがある。

- 10 図7は、本発明の第5実施例に係る半導体装置の要部の構造を示す概略図である。図7において、図3～図6と同一又は対応する構成要素については、同一の参照符号を付し、重複した説明は省略する。本実施例の構造は、シリコン基板100上において、3層のSi₃N₄層102a, 102b, 102cと2層のHigh-K膜104a, 104bとを交互に積層している。これにより、より安定した絶縁膜が得られる。

- 15 図8は、本発明の第6実施例に係る半導体装置の要部の構造を示す概略図である。図8において、図3～図6と同一又は対応する構成要素については、同一の参照符号を付し、重複した説明は省略する。本実施例の構造では、シリコン基板100とHigh-K膜104との間に、Si₃N₄よりも誘電率が高いアルミナ(Al₂O₃)単結晶膜114を形成している。アルミナ(Al₂O₃)単結晶膜114は、図1に示す装置を用い、プラズマCVD技術によって成膜することができる。

以上、本発明の実施の形態例及び実施例について幾つかの例に基づいて説明したが、本発明はこれらの実施例に何ら限定されるものではなく、以下の請求の範囲に示された技術的思想の範疇において様々な変更が可能である。

- 25 本願は2003年4月3日に出願された特願2003-100170号を基礎としており、ここで引用することでその内容をここに組み入れるものとする。

請求の範囲

1. シリコン基板と；

ゲート電極層と；

5 前記シリコン基板と前記ゲート電極層との間に配置されたゲート絶縁膜とを備え、

前記ゲート絶縁膜は、メタルとシリコンとの混合物を窒化処理してなる高比誘電率（h i g h - k）膜であることを特徴とする半導体装置。

10 2. 前記ゲート絶縁膜はプラズマCVD技術によって成膜されることを特徴とする請求の範囲1に記載の半導体装置。

3. 前記シリコン基板と前記ゲート絶縁膜との間に、バリア層としてシリコン窒化膜を配置することを特徴とする請求の範囲1に記載の半導体装置。

15

4. 前記シリコン窒化膜はプラズマによる直接窒化技術によって形成されることを特徴とする請求の範囲3に記載の半導体装置。

5. 前記ゲート絶縁膜の上にシリコン窒化膜を配置することを特徴とする請求
20 の範囲1に記載の半導体装置。

6. 前記シリコン基板上において、シリコン窒化膜と前記ゲート絶縁膜とを交互に配置形成した多層構造とすることを特徴とする請求の範囲5に記載の半導体装置。

25

7. 前記シリコン基板と前記ゲート絶縁膜との間に、バッファ層を形成することを特徴とする請求の範囲1に記載の半導体装置。

8. 前記シリコン基板と前記ゲート絶縁膜との間に、アルミナ（ Al_2O_3 ）単

結晶膜を形成することを特徴とする請求の範囲 1 に記載の半導体装置。

9. 前記アルミナ単結晶膜は、プラズマ CVD 技術によって形成されることを特徴とする請求の範囲 8 に記載の半導体装置。

5

10. 前記ゲート絶縁膜は、以下に示すものから選択される組成を有することを特徴とする請求の範囲 1 に記載の半導体装置：

$M_3Si_6N_{11}$ (M=L a, C e, P r, N d, S m)；

10 $M_2Si_5N_8$ (M=C a, S r, B a, E u)；

$MYbSi_4N_7$ (M=S r, B a, E u)；

$BaSi_4N_7$ ；

$Ba_2Nd_7Si_{11}N_{23}$

15 11. シリコン基板上に、メタルとシリコンとの混合物を窒化処理してなる高比誘電率 (h i g h - k) 膜からなるゲート絶縁膜を形成し、

前記ゲート絶縁膜上にゲート電極層を形成することを特徴とする半導体装置の製造方法。

20 12. 前記ゲート絶縁膜は、プラズマ CVD 技術によって成膜されることを特徴とする請求の範囲 11 に記載の半導体装置の製造方法。

25 13. 前記シリコン基板と前記ゲート絶縁膜との間に、バリア層としてシリコン窒化膜を形成することを特徴とする請求の範囲 11 に記載の半導体装置の製造方法。

14. 前記シリコン窒化膜は、プラズマによる直接窒化技術によって形成されることを特徴とする請求の範囲 13 に記載の半導体装置の製造方法。

15. 前記ゲート絶縁膜の上にシリコン窒化膜を配置することを特徴とする請求の範囲11に記載の半導体装置の製造方法。

16. 前記シリコン基板上において、シリコン窒化膜と前記ゲート絶縁膜とを交互に積層形成した多層構造とすることを特徴とする請求の範囲15に記載の半導体装置の製造方法。

17. 前記シリコン基板と前記ゲート絶縁膜との間に、バッファ層を形成することを特徴とする請求の範囲11に記載の半導体装置の製造方法。

10

18. 前記シリコン基板と前記ゲート絶縁膜との間に、アルミナ (Al_2O_3) 単結晶膜を形成することを特徴とする請求の範囲11に記載の半導体装置の製造方法。

19. 前記アルミナ単結晶膜は、プラズマCVD技術によって形成されることを特徴とする請求の範囲18に記載の半導体装置の製造方法。

20. 前記ゲート絶縁膜は、以下に示すものから選択される組成を有することを特徴とする請求の範囲11に記載の半導体装置の製造方法：

20

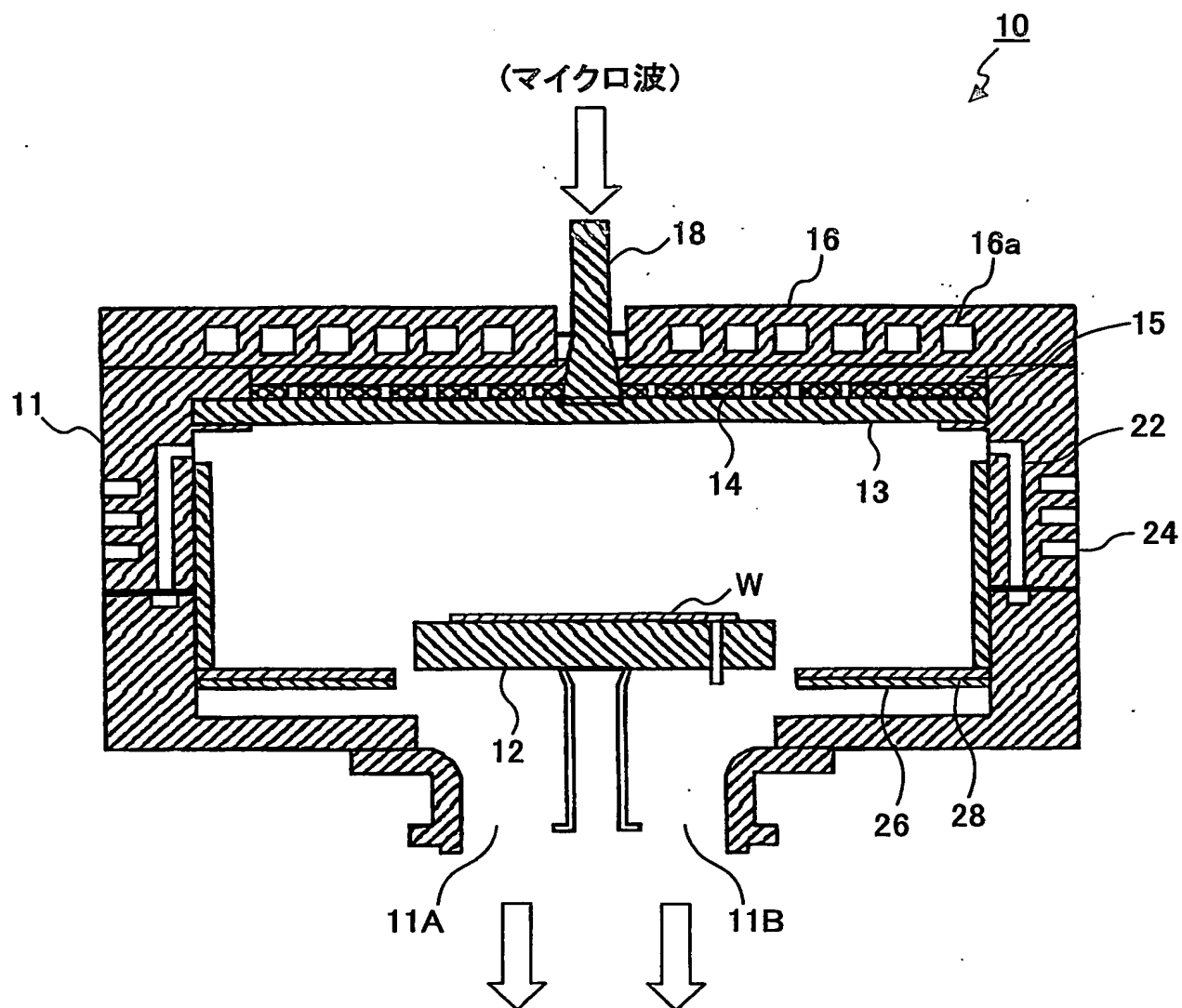
$M_3Si_6N_{11}$ (M=L a, C e, P r, N d, S m) ;

$M_2Si_5N_8$ (M=C a, S r, B a, E u) ;

$MYbSi_4N_7$ (M=S r, B a, E u) ;

$BaSi_4N_7$;

25 $Ba_2Nd_7Si_{11}N_{23}$

1/5
FIG. 1

2/5

FIG.2

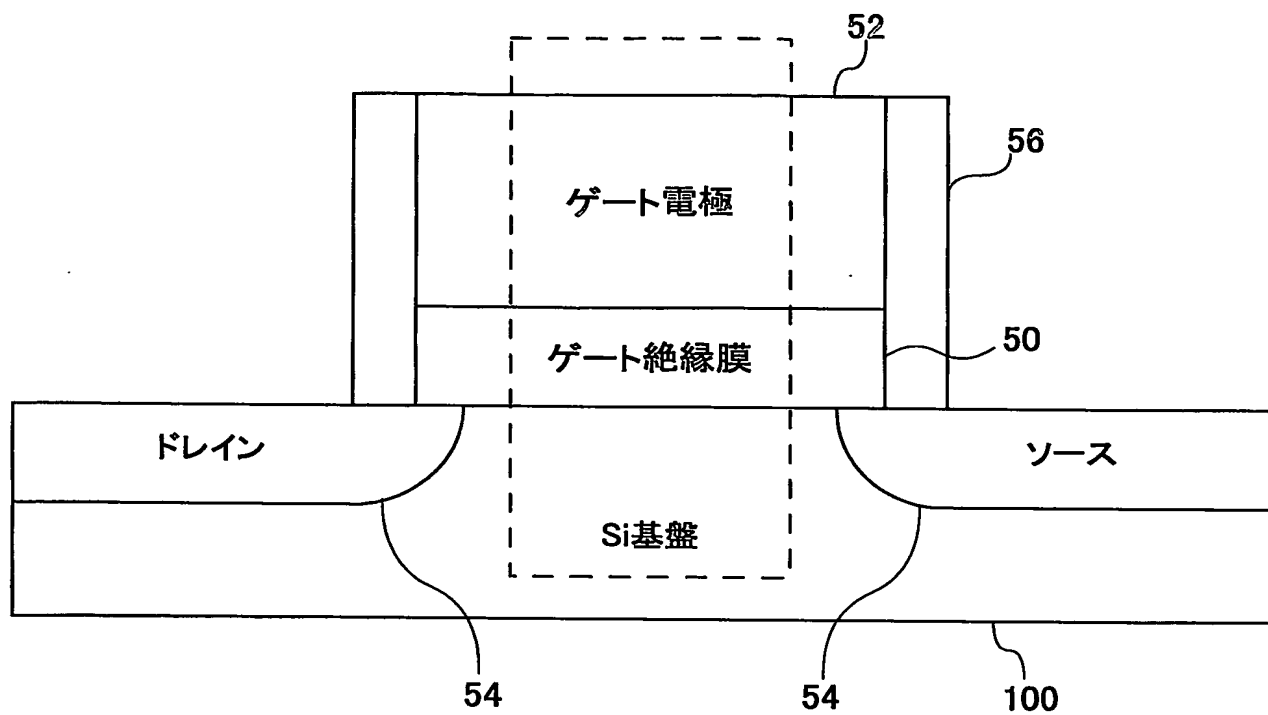
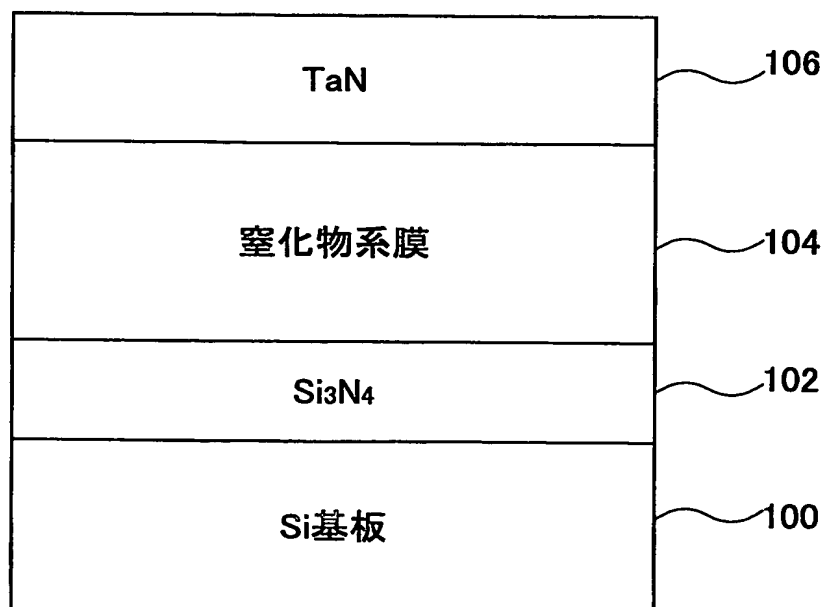


FIG.3



3/5

FIG.4

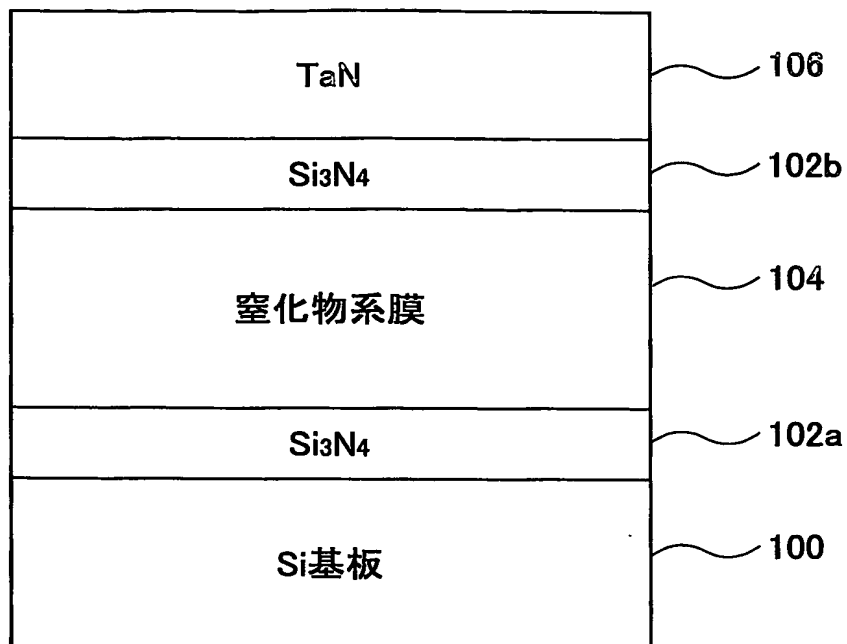
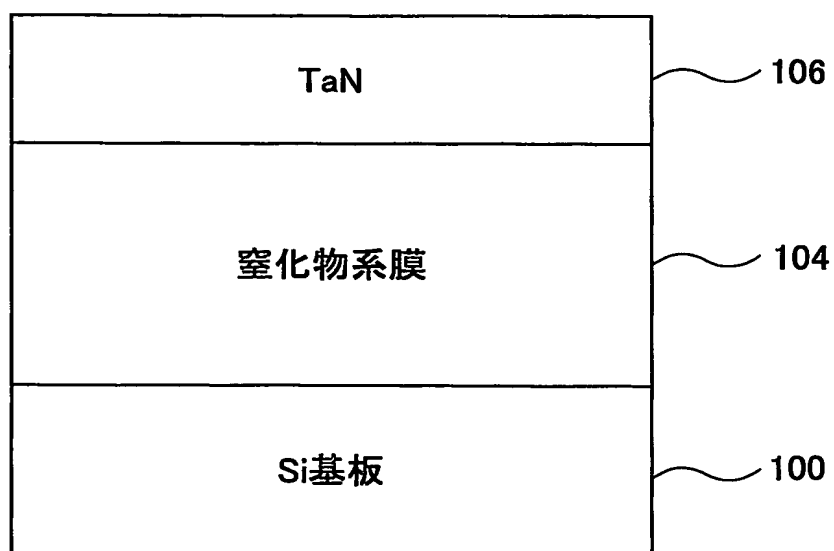


FIG.5



4/5
FIG.6

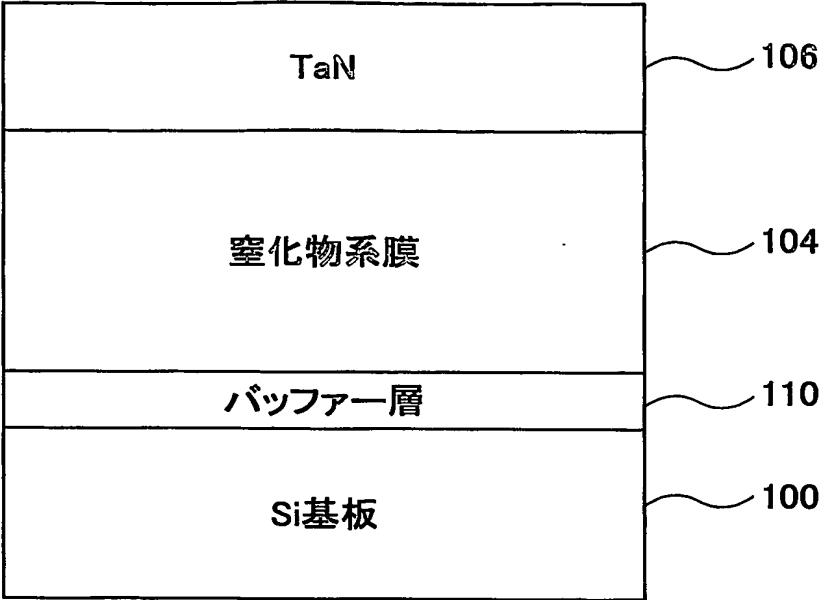
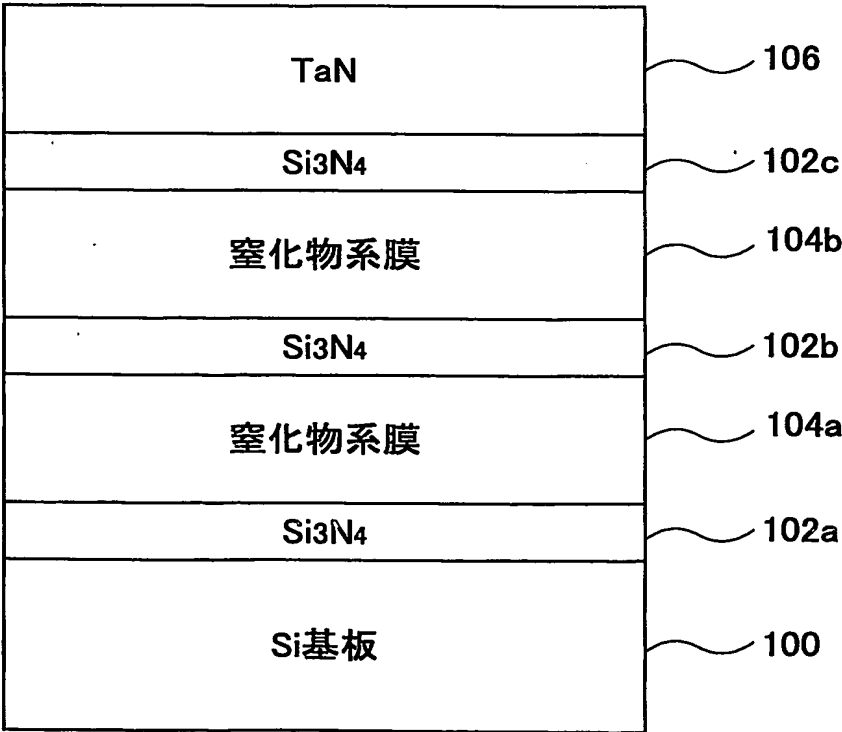
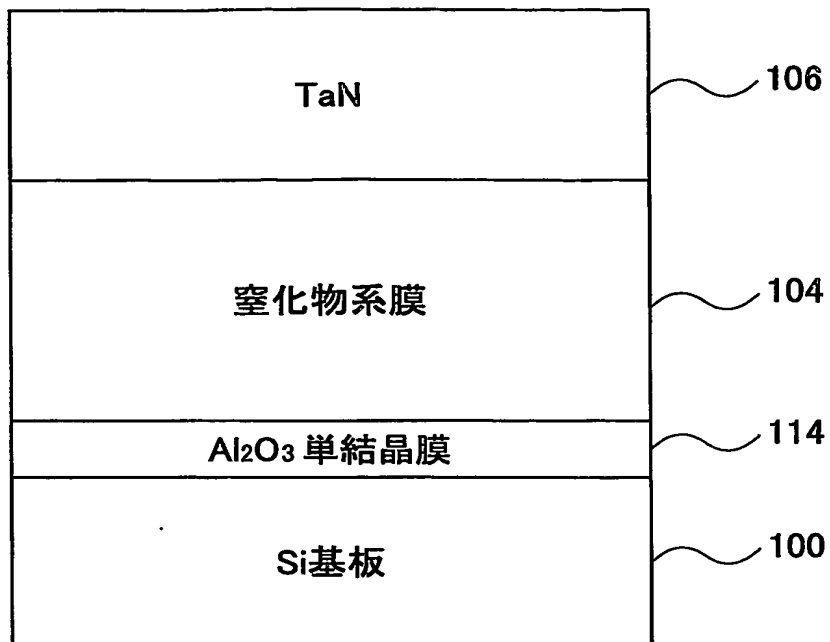


FIG.7



5/5

FIG.8



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/004700

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L29/78, H01L21/336, H01L21/318

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L29/78, H01L21/336, H01L21/318

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2002-343790 A (NEC Corp.), 29 November, 2002 (29.11.02), Full text & US 2002/0172768 A1 full text	1, 7, 11, 17 2, 3-6, 8, 9, 12, 13-16, 18, 19 10, 20
X Y A	JP 2003-017687 A (Hitachi, Ltd.), 17 January, 2003 (17.01.03), Full text & WO 03/003471 A1 full text	1, 3, 11, 13 2, 4-9, 12, 14-19 10, 20
X Y A	JP 2001-332547 A (Toshiba Corp.), 30 November, 2001 (30.11.01), Full text (Family: none)	1, 7, 11, 17 2-6, 8, 9, 12-16, 18, 19 10, 20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
06 May, 2004 (06.05.04)

Date of mailing of the international search report
25 May, 2004 (25.05.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/004700

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-008004 A (Fujitsu Ltd.), 10 January, 2003 (10.01.03), Full text & US 2003/0003667 A1 full text	3-9, 13-19
Y	JP 2000-004018 A (Texas Instruments Inc.), 07 January, 2000 (07.01.00), Full text & US 6277681 B1 full text	3-9, 13-19

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L29/78 H01L21/336 H01L21/318

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L29/78 H01L21/336 H01L21/318

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2004年

日本国実用新案登録公報 1996-2004年

日本国登録実用新案公報 1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2002-343790 A (日本電気株式会社) 200	1, 7, 11, 17
Y	2. 11. 29, 全文 &US 2002/0172768 A1, 全文	2, 3-6, 8, 9, 12, 13-16, 18, 19
A		10, 20

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

06. 05. 2004

国際調査報告の発送日

25. 5. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

河 口 雅 英

4M

8421

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2003-017687 A (株式会社日立製作所) 2003. 01. 17, 全文	1, 3, 11, 13
Y	&WO 03/003471 A1, 全文	2, 4-9, 12, 14-19
A		10, 20
X	JP 2001-332547 A (株式会社東芝) 2001. 11. 30, 全文 (ファミリーなし)	1, 7, 11, 17
Y		2-6, 8, 9, 12-16, 18, 19
A		10, 20
Y	JP 2003-008004 A (富士通株式会社) 2003. 01. 10, 全文 &US 2003/0003667 A1, 全文	3-9, 13-19
Y	JP 2000-004018 A (テキサス インストルメンツ インコーポレイテッド) 2000. 01. 07, 全文 &US 6277681 B1, 全文	3-9, 13-19